

## Fabrication process of semiconductor device

Publication number: CN1189685

Publication date: 1998-08-05

Inventor: URABE KOJI (JP)

Applicant: NIPPON ELECTRIC CO (JP)

Classification:

- international: C23C16/44; H01L21/28; H01L21/285; C23C16/44;  
H01L21/02; (IPC1-7): H01L21/283; H01L21/205;  
H01L21/3205; H01L21/768

- european: C23C16/44A6; H01L21/285B4H; H01L21/285B4L

Application number: CN19981000376 19980123

Priority number(s): JP19970010390 19970123

Also published as:

US6407003 (B2)

US2001041442 (A1)

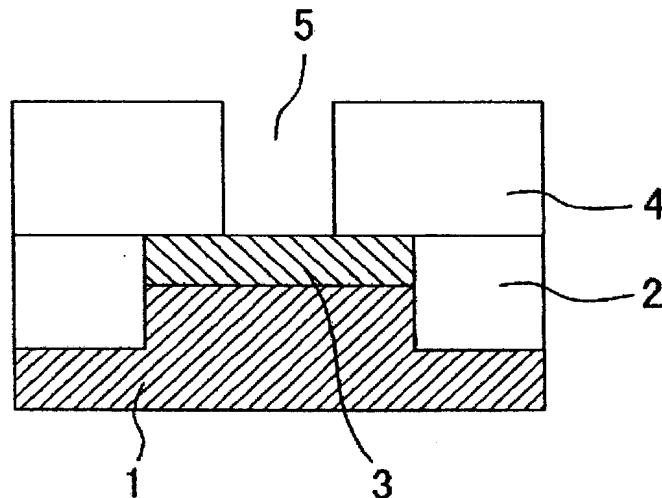
JP10209079 (A)

[Report a data error here](#)

Abstract not available for CN1189685

Abstract of corresponding document: US2001041442

A fabrication process of a semiconductor device with a titanium film includes the steps of forming a titanium film on a substrate by way of a chemical vapor deposition method; and removing titanium deposited within a reaction chamber forming the titanium film by a gas containing halogen, following the titanium film forming step.



Data supplied from the [esp@cenet](#) database - Worldwide

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

D<sub>1</sub>: corresponding to JP10209079(A)

[19]中华人民共和国专利局

[51]Int.Cl<sup>6</sup>

H01L 21/283

H01L 21/3205 H01L 21/205

H01L 21/768



[12]发明专利申请公开说明书

[21]申请号 98100376.1

[43]公开日 1998年8月5日

[11]公开号 CN 1189685A

[22]申请日 98.1.23

[74]专利代理机构 中原信达知识产权代理有限责任公司

[30]优先权

代理人 穆德骏

[32]97.1.23 [33]JP[31]010390 / 97

[71]申请人 日本电气株式会社

地址 日本东京

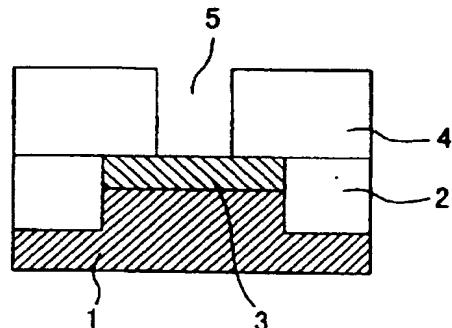
[72]发明人 占部耕兒

权利要求书 2 页 说明书 6 页 附图页数 6 页

[54]发明名称 具有钛膜的半导体器件制造工艺

[57]摘要

一种具有钛膜的半导体器件的制造工艺包括以下步骤：通过化学汽相淀积法在衬底上形成钛膜，以及在钛膜形成步骤后，用含有卤素的气体除去形成钛膜的反应室内淀积的钛。



## 权 利 要 求 书

1. 一种具有钛膜的半导体器件的制造工艺，包括以下步骤：

通过化学汽相沉积法在衬底上形成钛膜；以及

5 在所述钛膜形成步骤后，用含有卤素的气体除去形成所述钛膜的反应室内所沉积的钛。

2. 一种具有钛膜的半导体器件的制造工艺，包括以下步骤：

通过化学汽相沉积法在衬底上形成钛膜；以及

10 在所述钛膜形成步骤后，用含有卤素的气体除去形成所述钛膜的反应室内和半导体衬底上所沉积的钛。

15 3. 根据权利要求 2 的半导体器件的制造工艺，在所述除去步骤后，还包括通过化学汽相沉积法在所述反应室内的半导体衬底上形成氮化钛膜的步骤。

4. 根据权利要求 2 的半导体器件的制造工艺，在所述除去步骤后，还包括在与所述反应室不同的反应室内用化学汽相沉积法在所述半导体衬底上形成氮化钛的步骤。

20 5. 根据权利要求 1 的半导体器件的制造工艺，在所述除去步骤后，还包括清除残留在所述反应室中的卤素气体的步骤。

25 6. 根据权利要求 2 的半导体器件的制造工艺，在所述除去步骤后，还包括清除残留在所述反应室中的卤素气体的步骤。

7. 根据权利要求 5 的半导体器件的制造工艺，使用氩气和氢气通过高频放电清除所述反应室内残留的所述卤素气体。

30 8. 根据权利要求 6 的半导体器件的制造工艺，使用氩气和氢气通过高频放电清除所述反应室内残留的所述卤素气体。

9. 根据权利要求 1 的半导体器件的制造工艺，所述含卤素的气体包含 Cl<sub>2</sub>、BCl、HBr 或 F<sub>2</sub> 中的任意一种。

903·01·23

10. 根据权利要求 2 的半导体器件的制造工艺，所述含卤素的气体包含  $\text{Cl}_2$ 、 $\text{BCl}$ 、 $\text{HBr}$  或  $\text{F}_2$  中的任意一种。

## 说 明 书

### 具有钛膜的半导体器件制造工艺

5 本发明一般涉及具有钛膜的半导体器件及其制造方法。具体地，本  
发明涉及使用化学汽相淀积形成金属阻挡层的工艺及其改进。

10 减小半导体器件的尺寸并增加半导体器件的封装密度的开发已获  
得了很大的进展。目前，根据约  $0.15\mu\text{m}$  的尺寸标准的设计，已制造出  
如存储器件、逻辑器件等的超大规模集成电路器件原型。与增加这种半  
导体器件的封装密度相关的接触孔直径进一步减小。另一方面，由于存  
在线电阻或电容的要求，所以很难减小接触孔的深度。因此，近些年来，  
接触孔的高宽比急剧增加。相应地，通常至少在接触孔的底部形成金属  
15 阻挡层。金属阻挡层的功能是防止硅和金属的相互扩散形成金属线和硅  
扩散层，以防止增加接触电阻。

20 对于在接触孔中制造金属阻挡层的方法，近来注意力多集中在化学  
汽相淀积法。下面参考图 1 介绍常规方法的一个例子。首先如图 1 (A)  
所示，在硅衬底 1 上形成厚度为 200nm 的绝缘氧化层 2，将预定的杂质  
注入到硅衬底 1 中形成扩散层 3。此后形成厚度为 1500nm 的绝缘膜。  
在扩散层 3 上开出接触孔 5。接下来，使用化学汽相淀积装置形成硅化  
25 钛膜，如图 3 所示，化学汽相淀积装置包括反应室 10,11、传输室 12 和  
负载固定 (lock) 室 13。图 4 中显示了反应室的一个例子。在图 4 中，  
参考数字 14 表示上电极，15 表示半导体衬底，16 表示衬底支撑架，  
17 表示电阻加热器，18 表示排泄管。

30 如图 1 (B) 所示，通过使用四氯化钛、氢气、氩气作为原料气体的化  
学汽相淀积法，在绝缘膜 4 上形成厚度为 10nm 的钛膜 6，而在  
扩散层 3 上形成厚度为 20 nm 的硅化钛膜 7。此外，如图 1 (C) 所示，  
在图 3 所示的反应室 11 中，用氨气氮化绝缘膜 4 上的钛膜 6，形成氮  
化钛膜 8。然后，如图 1 (D) 所示，通过使用四氯化钛、氨气、氮气作  
35 原料气体的化学汽相淀积法，在氮化钛层 8 和硅化钛膜 7 上形成厚度  
为 500nm 的氮化钛层 9。通过以上介绍的工艺，在接触孔内形成阻挡层。

然而，以上介绍的半导体器件的常规制造工艺遇到以下问题。由于

5 钛膜在反应室 10 中形成，钛的氮化和氮化钛的淀积在反应室 11 中进行。在反应室 10 中形成钛膜时，除了半导体衬底外，钛还淀积在衬底支撑架、图 4 中的上电极和反应室的内壁上。使用四氯化钛气体作材料气体刻蚀淀积的钛生成  $TiCl_x$ ，在衬底上生成过量的氯化钛。因此，氯化钛的分压变化取决于要处理的衬底数量，改变半导体衬底上的钛膜形成速度不能得到所需的分压。因此，很难在以上介绍的方法中得到稳定的接触电极的电特性。

10 本发明的目的在于提供一种具有钛膜的半导体器件的制造工艺，该工艺通过避免将刻蚀钛产生的氯化钛作用到衬底上，并因此通过得到所需的四氯化钛，从而获得稳定的钛膜形成速度，因而获得接触电极稳定的电特性。

15 本发明的另一目的是提供一种具有钛膜的半导体器件的制造工艺，其中氮化钛膜的形成步骤在形成钛膜的同一反应室中进行。

20 本发明的再一目的是提供一种半导体器件的制造工艺，该工艺可氮化残余的钛并除去，以进一步抑制由钛刻蚀在衬底上产生的过量氯化钛，并进一步稳定钛膜形成速度。

25 根据本发明的第一方面，具有钛膜的半导体器件的制造工艺包括以下步骤：

通过化学汽相淀积法在衬底上形成钛膜；以及

在钛膜形成步骤后，用含有卤素的气体除去淀积在形成钛膜的反应室内的钛。

30 根据本发明的第二方面，具有钛膜的半导体器件的制造工艺包括以下步骤：

通过化学汽相淀积法在衬底上形成钛膜；以及

35 在钛膜形成步骤后，用含有卤素的气体除去淀积在形成钛膜的反应室内和半导体衬底上的钛。

根据本发明，由于可除去淀积在反应室内的钛，因此可得到稳定的钛形成速度。这是由于通过刻蚀淀积的钛产生淀积的氮化钛。因此，可以得到稳定的四氯化钛分压力，从而获得接触电极稳定的电特性。

5 应该注意措词“反应室内”是指衬底支撑架、上电极和反应室周边的内壁。此外，含卤素的气体选自如氯、氯化物、氟、氟化物、溴、溴化物、碘、碘化物等。没有具体指定用含卤素的气体除去钛膜的如工艺周期等的工艺条件。因此，选择条件时，应使除去反应室内淀积的钛的程度为残余在反应室内的钛在实际使用时不会产生问题。

10 在半导体器件的优选结构的制造工艺中，还包括在除去步骤后，通过化学汽相淀积法在反应室内半导体衬底上形成氮化钛膜的步骤。

15 形成氮化钛膜可在形成钛膜的同一反应室中进行，或在不同于形成钛膜的反应室中进行。在常规工艺中，用形成氮化钛膜的材料气体刻蚀淀积在反应室中的钛，产生  $TiCl_x$  或类似物以在衬底上剥离掉 Ti 膜。因此，在常规工艺中，形成钛膜和氮化钛膜时使用不同的反应室很重要。与之相对比，根据本发明，由于用含卤素的气体除去淀积在反应室中的钛，所以在形成氮化钛膜的工艺中不会产生  $TiCl_x$  或类似物。因此，可共用同一反应室形成钛膜和氮化钛膜。

25 当在同一反应室中进行钛膜和氮化钛膜的形成时，可进一步抑制在半导体衬底上产生过量的氯化钛。即，除去反应室内的钛后，即使反应室内留有残余的钛，这些残余的钛也可以氮化，以避免四氯化钛对钛的刻蚀。因此，钛膜的形成得到进一步的稳定。

半导体器件的制造工艺还包括除去步骤后清除残留在反应室中的卤素气体的步骤。

30 使用例如氩气和氢气通过高频放电清除含卤素的气体。此外，也可使用二硼烷(diboron)、磷化氢、砷化氢或类似物。

此外，在优选结构中，含卤素的气体包含  $Cl_2$ 、 $HCl$ 、 $HBr$  或  $F_2$  中的任意一种。

35 通过下面对本发明的优选实施例及附图的详细介绍，可更充分地理

解本发明。然而，这些说明仅供解释和理解，并不限定本发明。

在附图中：

图 1 (A) 到 1 (D) 为根据本发明半导体器件制造工艺的第一实施例和常规制造工艺的剖面示意图，以制造工艺步骤的顺序图示；

图 2 (A) 到 2 (D) 为根据本发明半导体器件制造工艺的第二实施例的剖面示意图，以制造工艺步骤的顺序图示；

图 3 为化学汽相淀积装置的局部图；以及

图 4 为图 3 的化学汽相淀积装置的反应室的局部图。

下面结合附图和本发明的优选实施例详细地介绍本发明。在以下的说明中，为更好地理解本发明，进行了非常具体的细述。然而对于本领域的技术人员来说，没有这些细节同样可以实现本发明。在一些例子中，为避免使本发明不清楚，未详细显示一些公知结构。

### [第一实施例]

下面结合图 1 介绍本发明具有钛膜的半导体器件制造工艺的第一实施例。首先，如图 1 (A) 所示，在硅衬底 1 上形成厚度为 200nm 的绝缘氧化膜 2。然后，将预定的杂质注入到硅衬底 1 中，形成扩散层 3。随后，形成厚度为 1500nm 的绝缘膜 4，并在扩散层 3 上开出连接孔 5。接下来，使用图 3 所示的化学汽相淀积装置通过化学汽相淀积法形成硅化钛膜 7。用很难被卤素刻蚀的材料将其上安装半导体衬底的衬底支撑架保护起来，所述材料如石英的卤化物、氮化硅、氮化铝、氮化钛或类似物。如图 1 (B) 所示，在绝缘膜 4 上形成厚度为 10nm 的钛膜 6，在扩散层 3 上形成厚度为 20 nm 的硅化钛膜 7，工艺条件为衬底温度为 500 °C，压力为 510torr，500kw 的高频放电输出，使用 2 sccm 的四氯化钛、1000 sccm 的氢气、500 sccm 的氩气的混合气体作材料气体。接下来，将衬底从反应室 10 中取出后，在反应室 10 的衬底支撑架、上电极（图 4）、反应室的周边内壁等上淀积钛膜 6。在氯化物含量为 100 sccm、衬底温度为 500 °C、压力为 1torr 的条件下，使用氯气进行刻蚀。刻蚀工艺之后，使用氩气和氢气高频放电，在 500 sccm 的氩气、1000 sccm 的氢气、衬底温度为 500 °C、压力为 1torr 并且高频放电的输出为 500kw 的条件下，除去半导体衬底上和反应室内残留的氯化物。对于后面的工序，使用氨气等离子工艺。然后，如图 1 (C) 所示，在图 3 的反应室 11 中，通过氮化工艺在绝缘膜 4 上的钛膜 6 上形成氮化钛膜 8，工艺条件为 100 sccm 的氨气、衬底温度为 500 °C、压力为 20torr，

随后，如图 1 (D) 所示，在反应室 11 中，在 600 °C 的衬底温度，压力为 20torr，40 sccm 的四氯化钛、100 sccm 的氮气和 3000 sccm 的氮气的混合气体的条件下，形成厚度为 50nm 的氮化钛膜 9。

5 根据制造工艺显示的实施例，在钛膜形成反应室中，除去淀积的  
钛。由于对部分进行刻蚀工艺，所以绝对不会在衬底上产生氯化钛，因  
而可得到所需的四氯化钛的分压力。因此，可获得稳定的钛膜形成速  
度。由此，可获得接触电极的电特性。

#### 10 (第二实施例)

下面结合图 2 (A) 到 2 (D) 介绍本发明具有钛膜的半导体器  
件制造工艺的第二实施例。首先，如图 2 (A) 所示，在硅衬底 1 上形  
成绝缘氧化膜 2 和扩散层 3，开出连接孔。此后，如图 2 (B) 所示，  
形成硅化钛膜 7。随后，如图 2 (C) 所示，在 100 sccm 的氯气、500  
15 °C 的衬底温度、压力为 1torr 的条件下，除去绝缘膜 4 上的钛膜 6。  
同时除去淀积在除半导体衬底外反应室 10 内其它部分上的钛膜。在第一  
实施例中取出衬底后，在反应室内除去钛膜，在显示的实施例中，同时  
除去衬底和反应室上的钛膜。应该指出衬底上形成的硅化钛膜很少被氯  
气刻蚀很少。该刻蚀工艺后，在 500 sccm 的氩气、1000 sccm 的氢气、  
20 500 °C 的衬底温度、压力为 1torr 和高频放电的输出为 500kw 的条件下，  
除去反应室内和半导体衬底上残留的氯气。对于后面的工序，使用氨气  
等离子工艺。接下来，如图 2 (D) 所示，在反应室 11 中使用化学汽  
相淀积法，在绝缘膜 4 和硅化钛膜 6 上形成厚度为 50nm 的氮化钛膜。  
淀积条件为衬底温度为 600 °C，压力为 20torr，40 sccm 的四氯化钛、  
25 100 sccm 的氮气、3000 sccm 的氮气的混合气体做材料气体。

30 在半导体器件的制造工艺显示的实施例中，在形成钛膜的反应室中，  
使用氯气除去淀积的钛。因此，绝对不会产生由刻蚀淀积的钛产生的  
氯化钛。这样，可以得到所需的四氯化钛的分压力，因而可以得到稳  
定的钛膜形成速度。其结果，接触电极的电特性变得稳定。

#### (第三实施例)

35 下面结合图 2 (A) 到 2 (D) 介绍根据本发明半导体器件制造工  
艺的第三实施例。首先，与第二实施例类似，进行图 2 (A) 和 2 (B)  
所示的工艺步骤。即，在硅衬底 1 上形成绝缘氧化膜 2 和扩散层 3，并  
开出连接孔。此后，用氯气除去钛膜，与此同时，除去反应室内的钛。

5

随后，在反应室内进行化学汽相沉积，在绝缘膜和硅化钛层 6 上形成 50nm 厚的氮化钛层 8 (图 2 (D))。以上工艺是在第二实施例中将衬底移入反应室 11 后进行的，本实施例是在相同的反应室中进行这些工艺的。即，40 sccm 的氯化钛、100 sccm 的氨气、3000 sccm 的氮气的混合气体做材料气体，沉积条件为衬底温度为 600 °C，压力为 20torr。

10

通过所示的半导体器件实施例可看出，形成钛膜和形成氮化钛都在同一反应室中进行。因此，用含卤素的气体除去后，可氮化残留的钛。从而限制了在衬底上产生过量的氯化钛。这样，钛膜的制造工艺可进一步稳定。

15

如上所述，根据本发明的半导体器件的制造工艺，由于可除去反应室内沉积的钛，因此可得到稳定的钛形成速度。这是由于刻蚀沉积的钛产生沉积的氮化钛。因此可得到四氯化钛的局部压力，从而可获得接触孔稳定的电特性。

20

此外，通过以上的说明，可以在较小或相同的反应室内进行氯化钛的形成步骤。即，在常规结构中，在反应室内用如四氯化钛等的材料气体刻蚀沉积在反应室内的钛，形成氮化钛产生  $TiCl_x$ 。与此相比，根据本发明，由于用含卤素的气体除去沉积在反应室内的钛，即使使用相同的或同一反应室，也不会产生问题。

25

此外，在同一反应室内进行钛膜的形成和氮化钛膜的形成，所以可用含卤素的气体氮化残留的钛，以进一步限制四氯化钛气体刻蚀钛在衬底上产生过量的氯化钛。因此，可以进一步稳定钛膜的形成速度。

30

虽然结合示例性实施例图示并介绍了本发明，但本领域的技术人员应该明白在本发明基础上的变化、删改和添加均不脱离本发明的精神和范围。因此，不应理解为本发明仅局限为以上的特定实施例，本发明包括在其范围内的所有可能的实施例及相对于附带的权利要求书的等价物。

说 明 书 附 图

图 1A

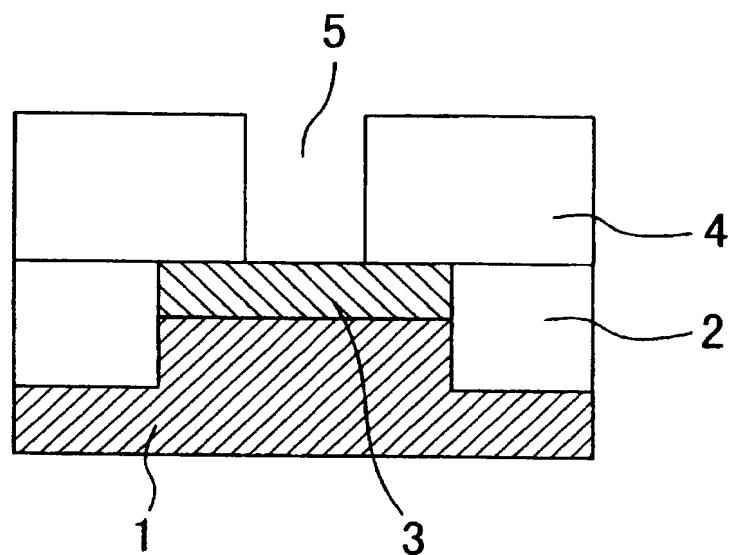


图 1B

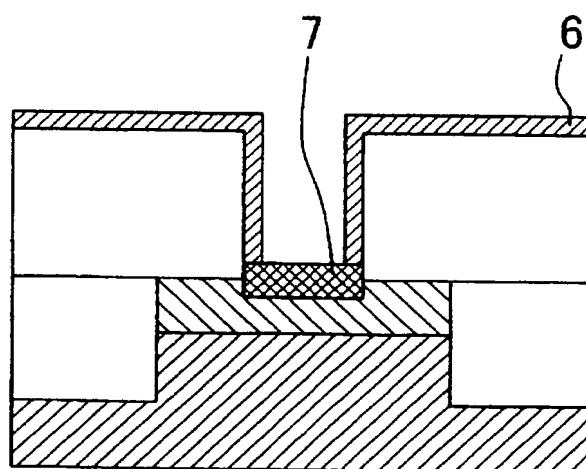


图 1C

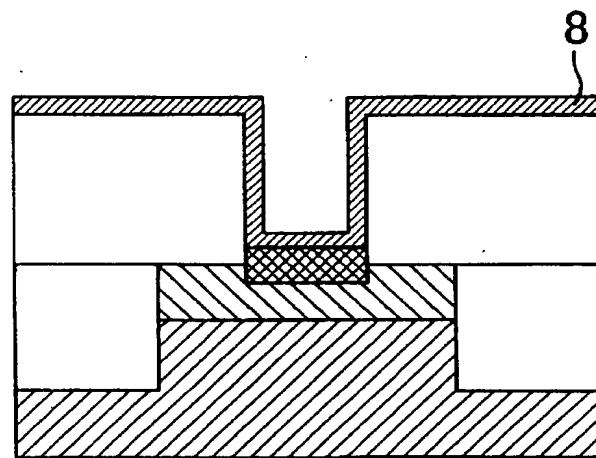


图 1D

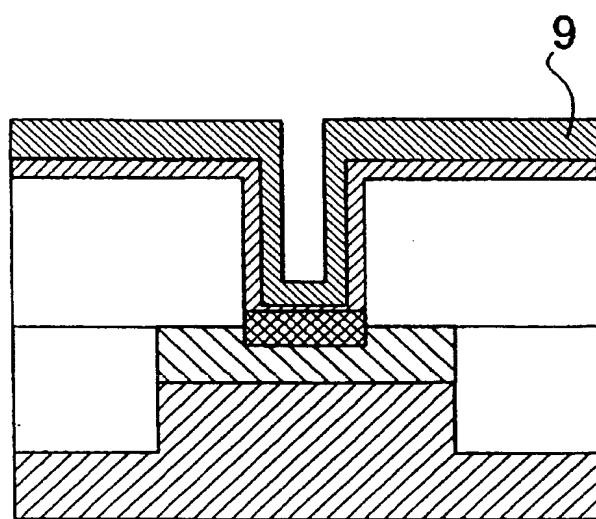


图 2A

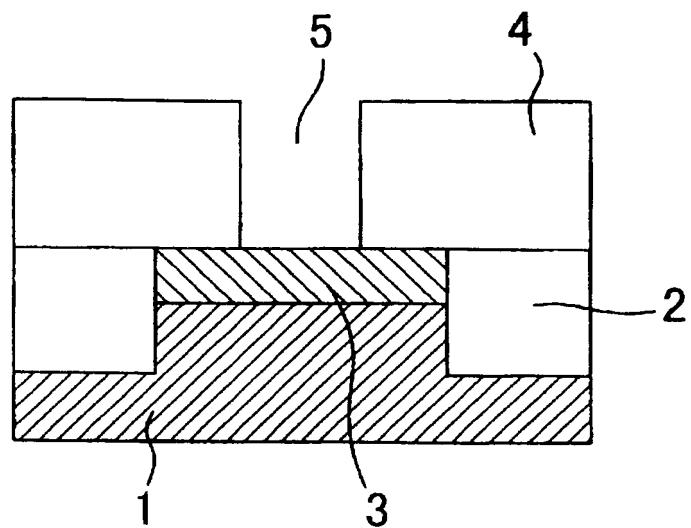


图 2B

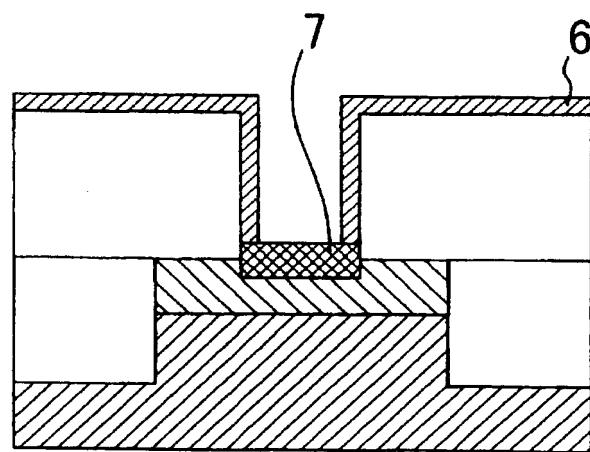


图 2C

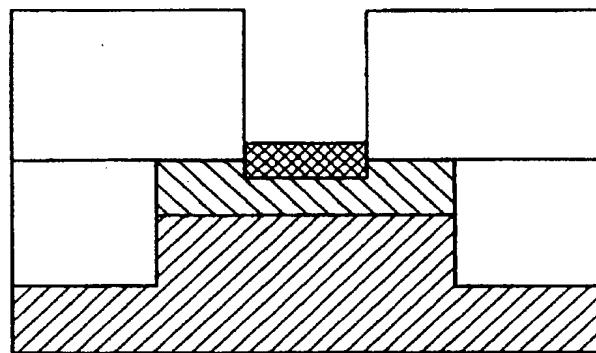


图 2D

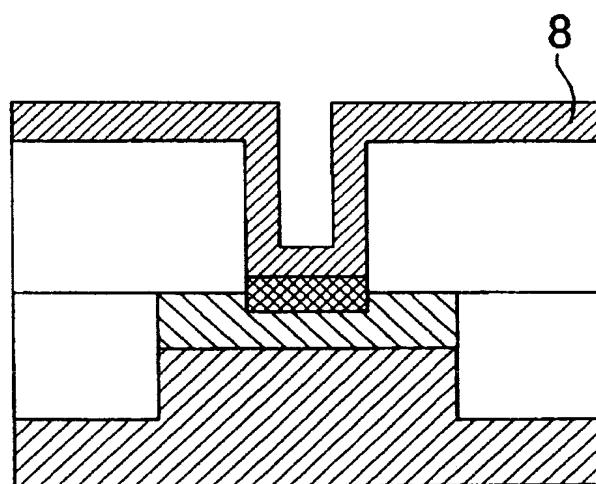


图 3  
现有技术

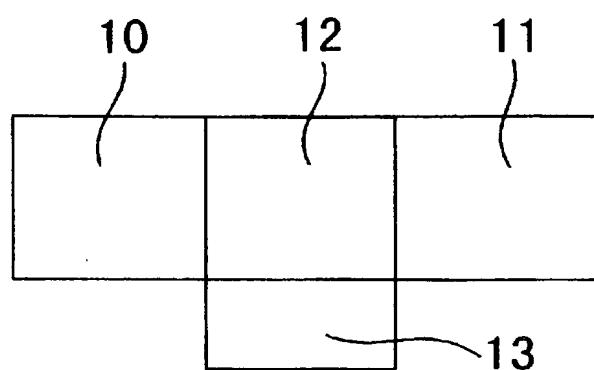
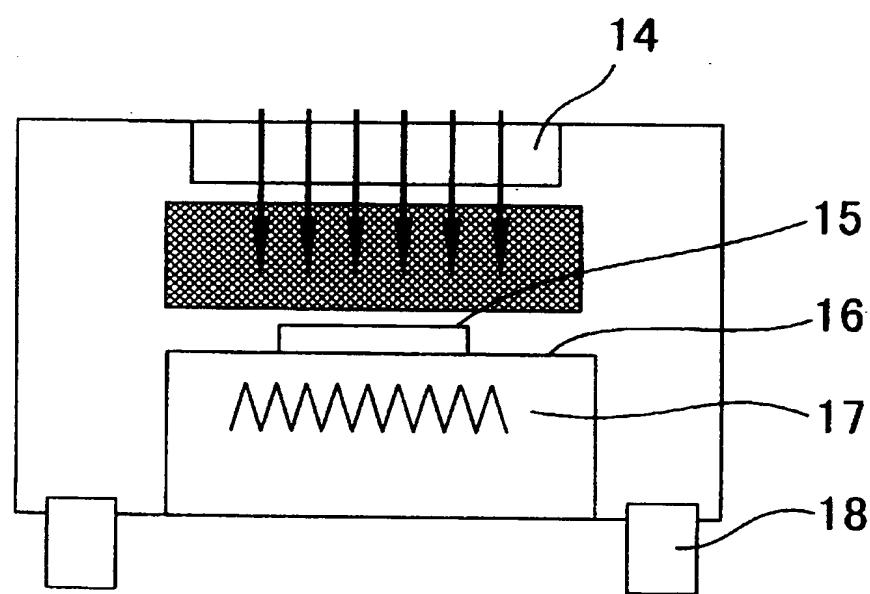


图 4  
现有技术



**THIS PAGE BLANK (USPTO)**